



(19)

(11) Publication number: **11102596 A**

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: **09265591**

(51) Intl. Cl.: **G11C 29/00 G11C 11/413**

(22) Application date: **30.09.97**

(30) Priority:	(71) Applicant: <b>NEC IC MICROCOMPUT SYST LTD</b>
(43) Date of application publication: <b>13.04.99</b>	(72) Inventor: <b>UENO YOSHINORI</b>
(84) Designated contracting states:	(74) Representative:

### (54) SEMICONDUCTOR MEMORY CIRCUIT

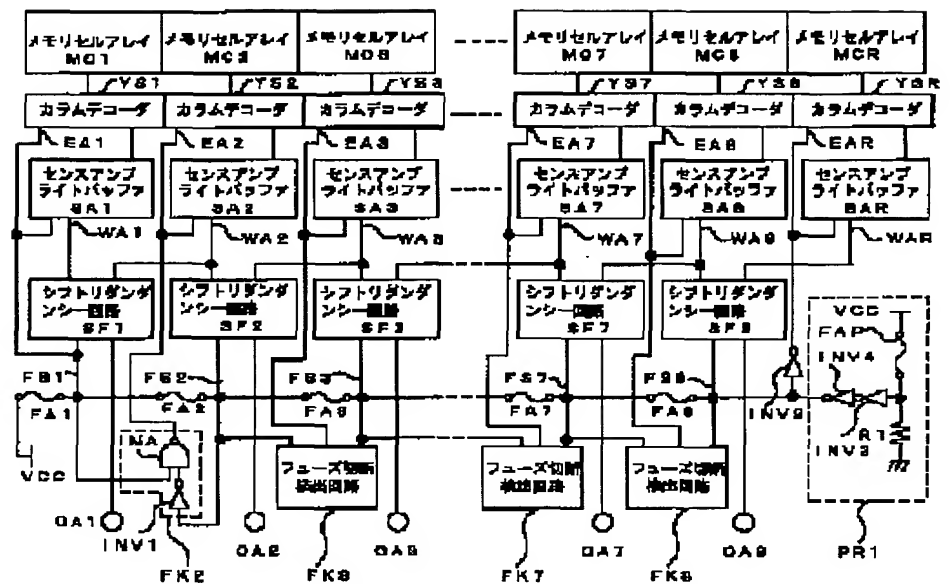
(57) Abstract:

**PROBLEM TO BE SOLVED:** To decrease the driving current without increasing the chip size when a shift redundancy circuit is used, by detecting individually whether or not each fuse element is cut, generating a killer signal based on a detection result, and controlling activeness or inactiveness of a write read circuit.

**SOLUTION:** When a failing part is to be replaced with a redundant memory cell array MCR, a fuse element FAP of a program circuit PR1 and a fuse element FK1-FK8 of the failing part are cut. At both ends of the cut fuse, potentials of different VCC level and GND level are transmitted. The same potential is transmitted to a point where the fuse is not cut. Inputs of the fuse cut detection circuit FK2-FK8 are connected to both ends of the fuse. When the same potential is input, a killer signal bringing column decoders YS1-YS8 into an active

state is output. When different potentials are input, a killer signal turning the column decoders in an inactive state is output. A circuit corresponding to the failing part of the memory cell arrays MC1-MC8 is thus inactivated to reduce the operation current.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102596

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 29/00  
11/413

識別記号

6 0 3

F I

G 1 1 C 29/00  
11/34

6 0 3 K  
3 4 1 C

審査請求 有 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平9-265591

(22) 出願日 平成9年(1997) 9月30日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町一丁目403番  
53

(72) 発明者 上野 好典

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

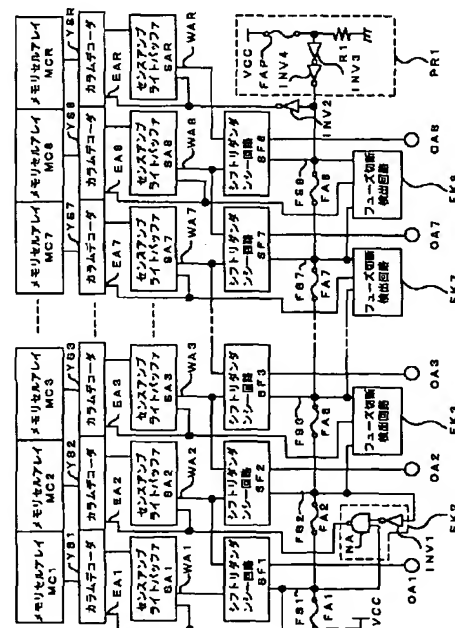
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶回路

(57) 【要約】

【課題】冗長メモリセル置換方式にシフトリダンダンシー回路を使用するときの動作電流の低減と、キラー信号発生回路を使用した場合のチップサイズの増大を抑える。

【解決手段】シフトリダンダンシー処理用ヒューズFA 1～FA 8を利用しヒューズが切断したかしないかを検出し、その検出結果からキラー信号EA 1～EA 8を発生するヒューズ切断検出回路FK 2～FK 8を構成したことにより、チップサイズを増大させることなく動作電流を削減させる。



## 【特許請求の範囲】

【請求項1】 複数のメモリセルアレイと、冗長メモリセルアレイと、これらのメモリにデータを書き込み読み出すためのカラムデコーダ、センスアンプおよびライトバッファからなる書き込み読み出し回路と、複数の前記メモリセルアレイそれぞれに対応するとともに一端が電源電位に接続される複数の第1のヒューズ素子と、内蔵する第2のヒューズ素子を切断することによって前記第1のヒューズ素子の他端に電源電位または接地電位を選択的に接続するプログラム回路と、前記第1のヒューズ素子の切断により不良メモリセルアレイを前記冗長セルアレイに置換制御する複数のシフトリダンダンシー回路と、内蔵する第3のヒューズ素子の切断によって前記書き込み読み出し回路を非活性化する複数の制御手段とをそれぞれ備える半導体記憶装置において、前記制御手段は、前記第3のヒューズに代えて、前記第1のヒューズ素子が切断されているか否かを個々に検出するとともにその検出結果からキラー信号を発生して書き込み読み出し回路の活性または非活性を制御する論理回路からなる複数のヒューズ切断検出回路を用いる構成とすることを特徴とする半導体記憶装置。

【請求項2】 前記ヒューズ切断検出回路は、前記第1のヒューズ素子の両端の電位を入力とし、前記第1のヒューズ素子が切断されたか否かを前記第1のヒューズ素子両端の電位差によって検出する請求項1記載の半導体記憶回路。

【請求項3】 前記ヒューズ切断検出回路は、この回路を含む前記各回路間接続の信号線が形成される配線層のさらに下の層に配置する請求項1記載の半導体記憶回路。

【請求項4】 前記ヒューズ切断検出回路は、前記第1のヒューズの一端の電源電位と他端の電位をインバータを介した電位とをそれぞれ入力する論理回路からなり、この論理回路を、電源電位と前記プログラム回路の出力端との間に直列接続された前記第1のヒューズ群のうち電源電位から第2番目以降の各ヒューズ毎にそれぞれ設ける請求項1記載の半導体記憶回路。

【請求項5】 前記ヒューズ切断検出回路の出力は、複数の前記書き込み読み出し回路のうち、切断された前記第1のヒューズに対応する回路の電源電流を遮断する制御信号に用いる請求項1記載の半導体記憶回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体記憶回路に係わり、特に冗長メモリセルの置換方式がシフトリダンダンシー回路を有する半導体記憶回路に関する。

## 【0002】

【従来の技術】 近年の半導体素子の微細化技術の進展に伴い半導体記憶回路の進歩も著しく、データを書き込み読み出すアクセススピードが速くなってきている。

【0003】 このようにアクセスのスピードが速くなり、特に同期式の半導体記憶回路となると、冗長メモリセルの置換方式は、従来の冗長回路では、冗長メモリセルと通常メモリセルとの選択スピードが異なってくるため、冗長メモリセルと通常メモリセルとの選択スピードに差のないシフトリダンダンシー回路を使用する傾向にあった。

【0004】 従来のシフトリダンダンシー回路を用いた冗長メモリセル置換方式のレイアウト構成図の一例を示した図2を参照すると、メモリセルアレイMC1～MC8および冗長メモリセルアレイMCRは、カラムデコーダYS1～YS8、YSRが選択されることによりカラムデコーダYS1～YS8、YSRを介しセンスアンプ、ライトバッファSA1～SA8、SARに接続される。また、センスアンプ、ライトバッファSA1の入出力信号線WA1および、センスアンプ、ライトバッファSA2の入出力信号線WA2は、シフトリダンダンシー回路SF1の一方の入力端に接続されている。

【0005】 同様にセンスアンプ、ライトバッファSA2～SA8、SARの入出力信号線WA2～WA8、WARは、シフトリダンダンシー回路SF2～SF8の他方の入力端に接続されている。また、シフトリダンダンシー回路SF1～SF8には、プログラム回路PR1の出力線上のヒューズ回路FA1～FA8を介した切り替え信号線FS1～FS8が制御端子に接続されている。

【0006】 プログラム回路PR1は電源電位VCCおよび接地電位GND間にヒューズFAPと抵抗素子R1が直列接続され、その直列接続点の電位をインバータINV3、INV4を介してヒューズ回路FA1～FA8に出力する。

【0007】 ここで、シフトリダンダンシー回路の動作について説明する。シフトリダンダンシー回路の構成図を示した図3を参照すると、信号線FSは、シフトリダンダンシー回路の切り替え信号であり、図2の切り替え信号線FS1～FS8に対応し、信号線Wai、Wbiは、図2の入出力信号線WA1～WA8およびWARに対応し、信号線Wciは、図2の信号線OA1～OA8に対応しており、それぞれスイッチ回路AおよびBに接続されている。また、スイッチ回路TF1およびTF2はNMOSトランジスタおよびPMOSトランジスタ（図中、丸で囲む）を組み合わせたトランスファゲートで構成されている。

【0008】 スイッチ回路AがON状態時には、スイッチ回路BがOFF状態、スイッチ回路AがOFF状態時にはスイッチ回路BがON状態になる。例えば、信号線FSがVCCレベルになっている場合は、スイッチ回路AがON状態、スイッチ回路BがOFF状態となり、入出力信号線Wciには信号線Waiのレベルが伝わる様になっている。

【0009】 逆に、信号線FSがGNDレベルとなって

いる場合は、スイッチ回路AがOFF状態、スイッチ回路BがON状態となり、入出力信号線Wciには、信号線Wbiのレベルが伝わる。

【0010】再び図2を参照すると、シフトリダンダンシー回路によって冗長メモリセルの置換をする場合についての動作説明を行う。

【0011】まず、シフトリダンダンシー回路にて冗長メモリセルを置換しない場合は、プログラム回路PR1の出力がVCCレベルとなり信号線FS1～FS8全てにVCCレベルを伝える。その時、シフトリダンダンシー回路SF1に接続されている信号線OA1には、入出力信号線WA1、信号線OA2には入出力信号線WA2、信号線OS3～OA7には入出力線WA3～WA7、信号線OA8には入出力信号線WA8のレベルが出力される。

【0012】次に冗長メモリセルに置換する場合について説明する。例えば、メモリセルアレイMC5に不良が有り置換する場合は、プログラム回路PR1のヒューズFAPとヒューズFA5を切断する。プログラム回路PR1から出力される切り替え信号線FS5～FS8にはGNDレベルが伝わり、信号線OA5～OA8のレベルは、信号線OA5に入出力信号線WA6、信号線OA6には入出力信号線WA7、信号線OA7には入出力信号線WA8、信号線OA8には入出力信号線WRRのレベルが出力されている。

【0013】切り替え信号線FS1～FS4は、ヒューズFA5が切断された状態でも、VCCレベルが伝わり、信号線OA1～OA4の出力レベルは、入出力信号線WA1～WA4を出力している。また、不良となったメモリセルアレイMC5からの入出力信号線WA5のレベルはシフトリダンダンシー回路SF4、SF5によって遮断されている。

【0014】この、シフトリダンダンシー回路SF1～SF8を使用する冗長メモリセルの置換方式は、冗長メモリセルとメモリセルとを選択するスピードに差がある通常のリダンダンシー方式に比べ、冗長メモリセルと通常メモリセルの選択スピードに差がないため、スピードが速い半導体記憶回路や同期式の半導体記憶回路に使用されてきている。

【0015】しかし、シフトリダンダンシー回路を使用した場合は、冗長メモリセルを置換する場合も置換しない場合でも、上述したように入出力信号線WA1～WA8およびWARはシフトリダンダンシー回路SF1～SF8に信号レベルを伝達しており、カラムデコードYS1～YS8、YSRおよびセンスアンプ、ライトバッファSA1～SA8、SARの回路が動作しているため通常の半導体記憶回路に比べ動作電流が多くなっていた。

【0016】また、OA1～OA8にレベルを伝達しない入出力線WA1～WA8、WARに接続しているカラムデコードYS1～YS8、YSRおよびセンスアンプ、

ライトバッファSA1～SA8、SARの回路を非活性状態にするためには、キラー信号発生回路FK1～FK8を用いる必要がある。ここで、キラー信号発生回路について説明を行う。

【0017】キラー信号発生回路の回路図を示した図4を参照すると、冗長メモリセルに置換しない場合は、ヒューズFARを切断せず、信号線RK1にVCCレベルをインバータINV3、4を介して伝達し、冗長メモリセルに置換する場合はヒューズFARを切断しGNDレベルを伝達している。

【0018】図5は上述したキラー信号発生回路と、シフトリダンダンシー回路とを使用した冗長メモリセル置換方式を組み合わせた構成図である。図5においてメモリセルアレイMC1～MC8、MCRおよびカラムデコードYS1～YS8、YSR、センスアンプ、ライトバッファSA1～SA8、SAR、シフトリダンダンシー回路SF1～SF8、SFR、プログラム回路PR1、ヒューズFA1～FA8、入出力信号線WA1～WA8、WARおよび切り替え信号線FS1～FS8は上述した図2と同じ構成となっている。

【0019】ここで、キラー信号発生回路KR1～KR8、KRRから出力したキラー信号EB1～EB8、EBRは、カラムデコードYS1～YS8、YSRおよびセンスアンプ、ライトバッファSA1～SA8、SARに接続されている。

【0020】冗長メモリセルを置換しない場合は、キラー信号発生回路KRRのヒューズを切断するため、信号線EARの出力がGNDレベルとなり、カラムデコードYSRおよびセンスアンプ、ライトバッファSARを非活性状態にしている。また他のキラー信号発生回路KR1～KR8のヒューズは切断せず、キラー信号EB1～EB8のレベルはVCCレベルになるため、カラムデコードYS1～YS8およびセンスアンプ、ライトバッファSA1～SA8を非活性状態にすることはしない。

【0021】また、冗長メモリセルを置換する場合、例えばメモリセルアレイMC5に不良がある場合は、キラー信号発生回路KR5のヒューズを切断する。キラー信号EA5はGNDレベルとなるため、カラムデコードYS5およびセンスアンプ、ライトバッファSA5は非活性状態となる。

【0022】この様にカラムデコードYS1～YS8、YSRおよびセンスアンプ、ライトバッファSA1～SA8、SARを完全に、非活性状態とする場合は、キラー信号発生回路KR1～KR8、KRRが必要となる。現在の半導体記憶回路は前述したように微細化が進んでおり、内部回路を構成するトランジスタは小さくなっているが、ヒューズは、ほとんど微細化されていない。前述した、キラー信号発生回路KR1～KR8、KRRにはヒューズが多数含まれておりチップサイズを増大させていた。

## 【0023】

【発明が解決しようとする課題】上述した従来の半導体記憶回路においては、冗長メモリセル置換方式にシフトリダンダンシー回路を使用した場合、カラムデコーダおよびセンスアンプ、ライトバッファはそれぞれ使用しない回路も含めて全ての回路が動作するために動作電流を多くしている。また、動作電流を削減するために、キラー信号発生回路を配置する場合はチップサイズを大きくするという問題がある。

【0024】本発明の目的は、冗長メモリセルの置換方式においてシフトリダンダンシー回路を使用した場合にチップサイズを大きくすることなく、動作電流を削減する半導体記憶回路を提供することにある。

## 【0025】

【課題を解決するための手段】本発明の半導体記憶回路は、複数のメモリセルアレイと、冗長メモリセルアレイと、これらのメモリにデータを書き込み読み出すためのカラムデコーダ、センスアンプおよびライトバッファからなる書き込み読み出し回路と、複数の前記メモリセルアレイそれぞれに対応するとともに一端が電源電位に接続される複数の第1のヒューズ素子と、内蔵する第2のヒューズ素子を切断することによって前記第1のヒューズ素子の他端に電源電位または接地電位を選択的に接続するプログラム回路と、前記第1のヒューズ素子の切断により不良メモリセルアレイを前記冗長セルアレイに置換制御する複数のシフトリダンダンシー回路と、内蔵する第3のヒューズ素子の切断によって前記書き込み読み出し回路を非活性化する複数の制御手段とをそれぞれ備える半導体記憶装置において、前記制御手段は、前記第3のヒューズに代えて、前記第1のヒューズ素子が切断されているか否かを個々に検出するとともにその検出結果からキラー信号を発生して書き込み読み出し回路の活性または非活性を制御する論理回路からなる複数のヒューズ切断検出回路を用いる構成とすることを特徴とする。

【0026】また、前記ヒューズ切断検出回路は、前記第1のヒューズ素子の両端の電位を入力とし、前記第1のヒューズ素子が切断されたか否かを前記第1のヒューズ素子両端の電位差によって検出する。

【0027】さらに、前記ヒューズ切断検出回路は、この回路を含む前記各回路間接続の信号線が形成される配線層のさらに下の層に配置する。

【0028】さらにまた、前記ヒューズ切断検出回路は、前記第1のヒューズの一端の電源電位と他端の電位をインバータを介した電位とをそれぞれ入力する論理回路からなり、この論理回路を、電源電位と前記プログラム回路の出力端との間に直列接続された前記第1のヒューズ群のうち電源電位から第2番目以降の各ヒューズ毎にそれぞれ設ける。

【0029】また、前記ヒューズ切断検出回路の出力

は、複数の前記書き込み読み出し回路のうち、切断された前記第1のヒューズに対応する回路の電源電流を遮断する制御信号に用いる。

## 【0030】

【発明の実施の形態】次に本発明の実施の形態を図面を参照しながら説明する。

【0031】図1は本発明の実施の形態を示すシフトリダンダンシー回路を使用した冗長メモリセル置換方式の半導体記憶回路の構成図である。ここでは一例として8個のメモリセルアレイと一個の冗長メモリセルアレイおよびそれぞれ対応する他の構成要素の場合を説明し、図面の複雑化を軽減するため繰り返し部分は省略して示してある。これらの構成要素は適宜拡張することができる。なお、図2、図5と共通する構成要素には同一符号を付してある。

【0032】図1を参照すると、メモリセルアレイMC1～MC8、MCRのビット線対（不図示）にそれぞれ対応接続され入出力信号線WA1～WA8、WARをそれぞれ介してデータ信号を入出力するカラムデコーダYS1～YS8、YSRとこのカラムデコーダYS1～YS8にそれぞれ対応接続され書き込みデータを入力し読み出しデータを増幅するセンスアンプ/ライトバッファSA1～SA8、SARとが互いに並列状態で設けられ、これらセンスアンプ/ライトバッファSA1～SA8それぞれのうち一方側に隣接する2つの出力を制御信号にそれぞれ応答して2者択一で選択するとともに出力信号OA1～OA8として出力するシフトリダンダンシー回路SF1～SF8と、内蔵するヒューズが切断状態ではGNDレベルを接続状態ではVCCレベルを出力するプログラム回路PR1と、シフトリダンダンシー回路SF1～SF8にそれぞれ対応しプログラム回路PR1の出力端とVCC端子との間に直列接続されるヒューズ素子FA1～FA8と、これらのヒューズ素子FA1～FA8のうちFA2～FA8それぞれの両端の電位を信号線FS1～FS8を介して対応する2入力端にそれぞれ入力するヒューズ切断検出回路とを備え、ヒューズ素子FA1およびFA2直列接続点の電位であるキラー信号EA1により書き込み読み出し回路を構成するカラムデコーダYS1とセンスアンプ/ライトバッファSA1を、ヒューズ切断検出回路FK2～FK8の出力するキラー信号EA2～EA8によりカラムデコーダYS2～YS8とセンスアンプ/ライトバッファSA2～SA8を、プログラム回路PR1のインバータINV2出力によりカラムデコーダYSRとセンスアンプ/ライトバッファSARとを、それぞれ活性または非活性状態に制御する構成からなる。

【0033】ヒューズ切断検出回路FK2～FK8は同一構成であり、ヒューズFA2～FA8それぞれの、プログラム回路PR1の出力を入力する側の一端が接続されるインバータINV1とその出力端を一方の入力端に

接続し、インバータINV1の他方の入力端にはヒューズFA2～FA8のVCC電位が接続される側の他端が接続される構成である。

【0034】まず、理解を容易にするため動作の概要を述べる。メモリセルアレイMC1～MC8のどれかに不良があり冗長メモリセルアレイMCRと置換する場合、その不良部分のヒューズFA1～FA8とプログラム回路PR1のヒューズFAPを切断をする。プログラム回路PR1のヒューズFAPを切断するとプログラム回路PR1の出力はGNDレベルとなり、そのGNDレベルがメモリセルアレイMC1～MC8の不良部分のヒューズFA1～FA8を切断した箇所まで伝わる。また、ヒューズを切断した箇所以降はVCCレベルが伝わってくる。

【0035】この様に、切断したヒューズの両端の電位は、VCCレベルとGNDレベルという互いに異なる電位が伝達されるのに対し、ヒューズを切断していないところは同電位が伝わる。

【0036】ヒューズ切断検出回路FK1～FK8の入力は、ヒューズの両端（切り替え信号線FS2～FS8）に接続されており、異なる電位を入力した場合は、上述した、カラムデコーダYS1～YS8およびセンスアンプ、ライトバッファSA1～SA8の不良部分の回路を非活性状態に、同電位を入力した場合は、活性状態にする信号を出力している。この様にメモリセルアレイMC1～MC8の不良部分に対応する回路を非活性状態にすることにより動作電流を削減している。

【0037】さらに、本発明の半導体記憶回路の実施例を図1を用いて詳しく説明する。

【0038】本発明のヒューズ切断検出回路FK2の入力は、シフトリダンダンシー回路切り替え信号線（以下、切り替え信号線と称す）FS1および切り替え信号線FS2が接続されている。例えば、切り替え信号線FS1および切り替え信号線FS2がVCCレベルとなった場合は、ヒューズ切断検出回路FK2の出力線であるキラー信号EA2はNAND回路NAの一方の入力端（インバータINV1の出力）がGNDレベルであるから一義的にVCCレベルを出力する。

【0039】また、切り替え信号線FS1および切り替え信号線FS2がGNDレベルとなった場合でも、キラー信号EA2はVCCレベルを出力する。切り替え信号線FS1がVCCレベル、切り替え信号線FS2がGNDレベルとなった場合は、キラー信号EA2はGNDレベルを出力する。

【0040】同様にヒューズ切断検出回路FK3～FK8も入力の切り替え信号線FS2～FS8が全てVCCレベルもしくは、GNDレベルの場合は、キラー信号線EA3～EA8はVCCレベルを出力する。

【0041】また、ヒューズ切断検出回路FK3～FK8の入力である、切り替え信号線FS2～FS8がGN

DレベルとVCCレベルになった場合は、キラー信号線EA3～EA8は、GNDレベルを出力する。

【0042】次に、冗長メモリセルを置換しない場合の説明を行う。冗長メモリセルを置換しない場合は、プログラム回路PR1のヒューズFAPは切断しないため、切り替え信号線FS1～FS8はVCCレベルとなる。

【0043】冗長メモリセル用のカラムデコーダYSRおよびセンスアンプ、ライトバッファSARに接続されるキラー信号EARは、プログラム回路の出力のVCCレベルがインバータINV2を介し出力されるため、GNDレベルとなり、冗長メモリセル用のカラムデコーダYSRおよびセンスアンプ、ライトバッファSARは非活性状態となる。

【0044】また、他のキラー信号EA2～EA8は、ヒューズ切断検出回路FK2～FK8の入力である切り替え信号線FS1～FS8がVCCレベルとなっているため、VCCレベルが出力されている。この時、カラムデコーダYS2～YS8およびセンスアンプ、ライトバッファSA2～SA8は、活性状態となる。

【0045】また、キラー信号線EA1は、切り替え信号線FS1と同じVCCレベルとなるため、カラムデコーダYS1およびセンスアンプ、ライトバッファSA1も活性状態となる。

【0046】次に、冗長メモリセルが置換される場合を説明する。例えば、メモリセルアレイMC5に不良があり置換する場合は、プログラム回路PR1のヒューズFAPおよびヒューズFA5を切断するため、プログラム回路PR1の出力はGNDレベルとなり、切り替え信号線FS5～FS8にはGNDレベルが入力されており、切り替え信号線FS1～FS4には、VCCレベルが入力されている。

【0047】その時ヒューズ切断検出回路FK5は、入力線である切り替え信号FS4はVCCレベル、切り替え信号FS5はGNDレベルとなっており、出力線であるキラー信号線EA5はGNDレベルが出力されているため、カラムデコーダYS5および、センスアンプ、ライトバッファSA5は非活性状態となる。

【0048】他のヒューズ切断検出回路FK2～FK4の入力である切り替え信号線FS1～FS4はVCCレベルとなっており、キラー信号線EA2～EA4はVCCレベルが出力されているため、カラムデコーダYS1～YS4およびセンスアンプ、ライトバッファSA1～SA4は活性状態となる。

【0049】また、キラー信号EA1は切り替え信号線FS1と同じVCCレベルとなるために、カラムデコーダYS1およびセンスアンプ、ライトバッファSA1も活性状態となる。また、ヒューズ切断検出回路FK6～FK8はGNDレベルが入力されるため、キラー信号線EA6～EA8はVCCレベルとなり、カラムデコーダYS6～YS8およびセンスアンプ、ライトバッファS

A6～8は活性状態になる。

【0050】冗長メモリセルMCR部分のキラー信号EARは、プログラム回路PR1の出力のGNDレベルがインバータINV2に入力され、VCCレベルとなり、冗長メモリセル用カラムデコーダYSRおよびセンスアンプ、ライトバッファSARは活性状態となる。

【0051】次に、メモリセルアレイMC1に不具合があり、冗長メモリセルに置換する場合は、プログラム回路PR1のヒューズFAPおよびヒューズFA1を切断するため、プログラム回路PR1の出力はGNDレベルとなり、切り替え信号線FS1～FS8は全てGNDレベルが入力される。

【0052】この時、ヒューズ切断検出回路FK2～FK8の入力はGNDレベルが入力されており、キラー信号線EA2～8はVCCレベルが出力されるため、カラムデコーダYS2～YS8およびセンスアンプ、ライトバッファSA2～SA8は活性状態となる。

【0053】冗長メモリセルMCR部分のキラー信号EARはプログラム回路PR1の出力のGNDレベルがインバータINV2に入力され、VCCレベルとなり、冗長メモリセル用カラムデコーダYSRおよびセンスアンプ、ライトバッファSARは活性状態となる。キラー信号EA1は切り替え信号線FS1と同じGNDレベルとなるために、カラムデコーダYS1およびセンスアンプ、ライトバッファSA1は非活性状態となる。

【0054】この様に、シフトリダンダンシー処理用ヒューズFA1～FA8を利用しヒューズが切断したかしないかを検出し、その検出結果からキラー信号EA1～EA8、EARを発生するヒューズ切断検出回路FK2～FK8を構成したことにより、チップサイズを増大させることなく動作電流を削減できる。

【0055】また、ヒューズ切断検出回路FK2～FK8は、シフトリダンダンシー回路のヒューズが切断された箇所の電位が、ヒューズの両端で異なることを検出する論理回路であればどのような論理回路でもよい。

【0056】

【発明の効果】図2の従来の半導体記憶回路は、カラムデコーダYS1～YS8、YSRおよび、センスアンプ、ライトバッファWA1～WA8、WARの全9組は冗長メモリセルを置換した場合も、置換していない場合でも、入出力信号線WA1～WA8、WARのレベルをシフトリダンダンシー回路SF1～SF8に伝えるために、回路動作を行っていた。この時、カラムデコーダYS1～YS8およびセンスアンプ、ライトバッファWA1～WA8、WARの1組あたりの動作電流をiアンペアとした場合、回路全体の動作電流は9iアンペアとなっていた。

【0057】また、動作電流を削減するため、図5で述べたキラー信号発生回路KR1～KR8およびKRRを使用した場合、ヒューズ部分が各信号線等の下層に配置

出来ず、ヒューズ専用領域を必要とする。この時、チップサイズが約25mm<sup>2</sup>の場合、チップサイズは約10%増大する。仮に、6インチウエハーにて拡散を行った場合、有効ベレット数がチップサイズ25mm<sup>2</sup>の場合600個あるのに対し、キラー信号発生回路を配置した半導体記憶回路(チップサイズが約27.5mm<sup>2</sup>)は540個となり、1ウエハーあたり60個減少することになる。

【0058】しかし、本発明半導体記憶回路は、内蔵する第3のヒューズ素子(シフトリダンダンシー処理用ヒューズ)の切断によって書き込み読み出し回路を非活性化化する複数の制御手段として、第3のヒューズに代えて、第1のヒューズ素子が切断されているか否かを個々に検出するとともにその検出結果からキラー信号を発生して書き込み読み出し回路の活性または非活性を制御する論理回路からなる複数のヒューズ切断検出回路を用いる構成とするので、カラムデコーダおよびセンスアンプ/ライトバッファの中の1組を非活性状態にできる。その時の、動作電流は8iアンペアとなり、図2で述べた従来技術より約15%の動作電流を削減できる。

【0059】また、ヒューズ切断検出回路はヒューズを含んでおらず、各信号線の下層に配置できるため、チップサイズを増大させることはないため、1ウエハーあたりの有効ベレット数を減らすことなく、動作電流を削減出来る。

【図面の簡単な説明】

【図1】本発明の実施の形態を示すシフトリダンダンシー回路を使用した冗長メモリセル置換方式の半導体記憶回路の構成図である。

【図2】従来のシフトリダンダンシー回路を使用した冗長メモリセル置換方式の半導体記憶回路の一例の構成図である。

【図3】シフトリダンダンシー回路の回路図である。

【図4】従来のキラー信号発生回路の回路図である。

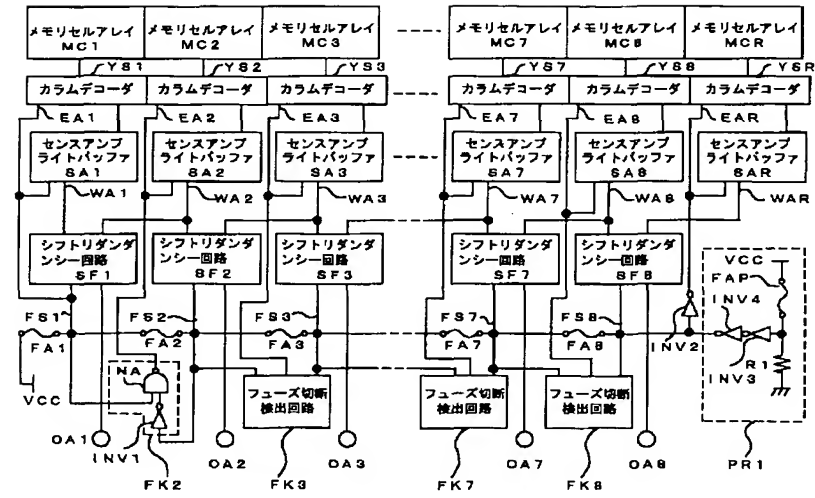
【図5】従来のシフトリダンダンシー回路を使用した冗長メモリセル置換方式の半導体記憶回路の他の例の構成図である。

【符号の説明】

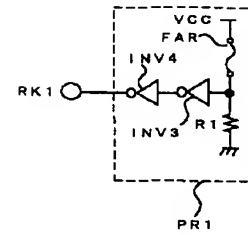
MC1～MC8   メモリセルアレイ  
MCR   冗長メモリセルアレイ  
YS1～YS8、YSR   カラムデコーダ  
FA1～FA8、FAP   ヒューズ素子  
EA1～EA8、EAR   キラー信号  
WA1～WA8、WAR   入出力信号線  
FS1～FS8   切り替え信号線  
FK2～FK8   ヒューズ切断検出回路  
SF1～SF8   シフトリダンダンシー回路  
KR1～KR8、KRR   キラー信号発生回路  
PR1   プログラム回路  
INV2   インバータ



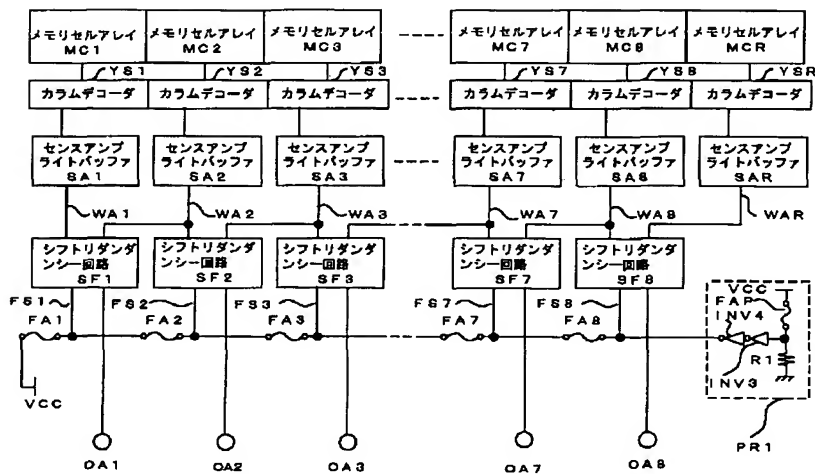
【図1】



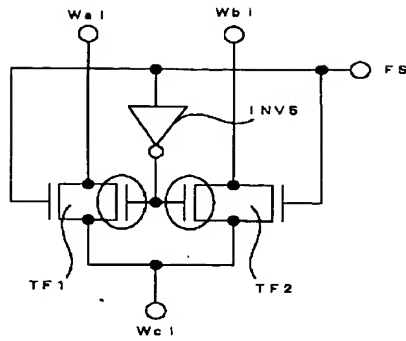
【図4】



【図2】



【図3】



【図5】

